第1章

なぜ，今，GHzを知らないといけないのか

～高速メモリや高速シリアル・インターフェース設計の際に生ずる問題点を整理する～

津野 徹

ここでは高速メモリやシリアル・インターフェースにおけるパターン配線の注意点を例に，なぜ今，GHz回路に関する知識が必須であるのかを説明する．（編集部）

近年の高速メモリや高速シリアル・インターフェースは，データ量と処理速度の高速化のために，1GHzのクロック周波数に迫るもの，超えるものが続々と出てきました．こうなるともはや，通常の配線パターンでは正常に動作しません．1GHz以上は高周波アナログ回路の領域となります．

1 800MHzパラレル・バスの配線における課題

パソコンのマザーボードにおけるCPUとメモリとの間の通信速度は年々，速くなっています．CPUはLSI内部で高速信号が処理され，出力ピンには低いレートの信号が出力されます．CPU内部のパターン設計はμm単位の微小パターンなので，それほど問題になりません．ところが，メモリはプリント基板に実装され，さらにソケットに実装され，メイン・ボードのパターンを通ってCPUとデータのやりとりをしなければならず，不利な条件がそろっています．従って，メモリ周りのプリント基板の設計には，細心の注意が必要となってきます．最近は800MHzのバス速度を持つ高速メモリ（DDR3-1600）も出始めています．このDDR3-1600の配線パターン設計について考察します．

図1 伝搬遅延時間と誘電率の関係を示す式

誘電率4.5のガラス・エポキシ基板において，1mmの物理長の遅延時間は約6psとなる．

K（波長短縮率）$=\dfrac{1}{\sqrt{\varepsilon}}$

ε：同軸ケーブルの絶縁物の誘電率

また，伝送線路の伝播遅延時間は次式で表せる．

τ（伝播遅延時間）$=\dfrac{1}{KC}$

C：光速3×10^8 [m/s]

通常，同軸の誘電体はポリエチレンなので，$\varepsilon=2.26$．従って，$\tau=5$[ns/m]となる．

● 約1mm以下の誤差しか許されない配線パターン

メモリのデータ・シートによると，メモリの遅延時間やスキュばらつきの仕様は，クロック周期の約1/100以内です．配線パターンで考えると，800MHzの波長は37.5cmですから，1/100は3.75mmです．さらに，ガラス・エポキシ基板の誘電率による波長短縮率により，さらに約1/2の1.875 mmとなります．これが仕様の上限ですから，実際の配線は安全係数を2倍に選ぶとすると，約1mm以下の誤差しか許されません．つまり，メモリ・チップに供給されるクロックやデータのパターン長さの差を，1mm以下に抑えなければなりません．ちなみに誘電率4.5のガラス・エポキシ基板において，1mmの物理長の遅延時間は約6psとなります．計算方法を図1に示します．

● 配線パターンがよくないと放射が増える

800MHzの信号が走るメモリ・ボードの配線パターンは，放射ノイズの発生源となり得ます．ノイズの発生を少なくするには，内層に配線します．上下をグラウンドと電源層で囲めば，外への放射ノイズを減少させられます．

反射とクロストークもノイズの原因となります．ノイズを抑えるという観点からは，マイクロストリップ線路では

KeyWord　パッシブ・プローブ，ロジック・アナライザ，3次高調波，基板材料，リンギング，インピーダンス，スタブ，メモリ，クロストーク

なく，ストリップ線路で配線するとよいでしょう（図2）．

● 電圧レベルが減衰し，“H”や“L”を認識できない

信号を受ける側で“H”や“L”を認識できないという現象は，次の原因が挙げられます．

① プリント基板の材質

配線パターンの抵抗成分により，信号が減衰します．これはプリント基板材料のtan δ（誘電体損失のこと，理想は0）が関係します．通常のガラス・エポキシ（FR-4）のtan δは0.02で，これはQ（品質係数のこと，$Q = 1/\tan\delta$）= 50に相当します．マイクロ波用プリント基板の「RO4003」のtan δは0.002で，これは$Q = 500$に相当します．つまり，損失がガラス・エポキシの1/10ということになります．実際にはパターンの銅損や表皮効果などにより，4倍程度の差となっています．

実際のプリント基板において，長さ2.5cmのパターンに10GHzの信号を通すと，FR-4は8％，RO4003は2％程度の減衰が見られます．メモリ・ボードのパターンの最大長は10cmに達しますから，4倍の32％，8％となります．図3に実測値を示します．

② パターン設計のミス

インダクタンス成分やキャパシタンス成分では電力を消費しないため，基本的に減衰は起こりません．しかし，パターンの太さがインピーダンス整合していない場合は，信号の反射が起こるので注意が必要です．

図4に特性インピーダンスが25 Ωと100 Ωの配線パターンによる反射を示します．50 Ωの出力インピーダンスで駆動しています．振幅が小さいほうが25 Ω配線で，大きなほうが100 Ω配線の伝送波形です．

（a）ストリップ線路　（b）マイクロストリップ線路

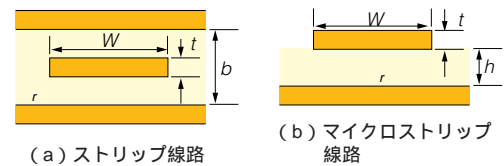



図2　ストリップ線路とマイクロストリップ線路の断面
上下をグラウンドと電源層で囲めば，外への放射ノイズを減少させられる．

（a）伝送損失

周波数変位［%］
温度［℃］
RO4003
PTFE
PPO
FR-4

（b）温度特性

図3　プリント基板の伝送損失と温度特性

100 Ω配線
OSC1 1u
R2 50
MS2 Substrate thickness 100u Dielectric constant 4.5
R1 50
VG1
MS1 Substrate thickness 100u Dielectric constant 4.5
25 Ω配線

（a）シミュレーション回路

配線インピーダンスが100 Ω
25 Ω
VG1の出力
電圧［V］
時間［ns］
OSC1_Ch1
OSC1_Ch2
VG1

（b）結果

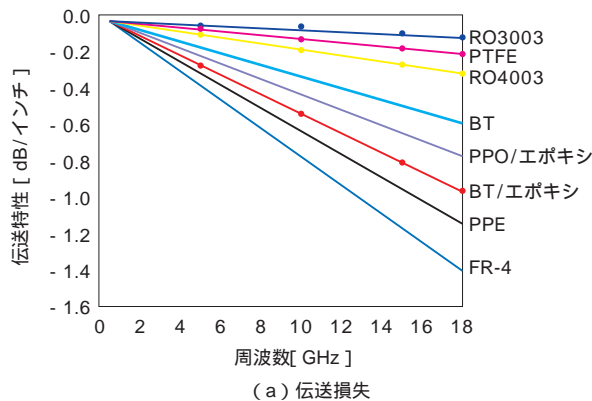
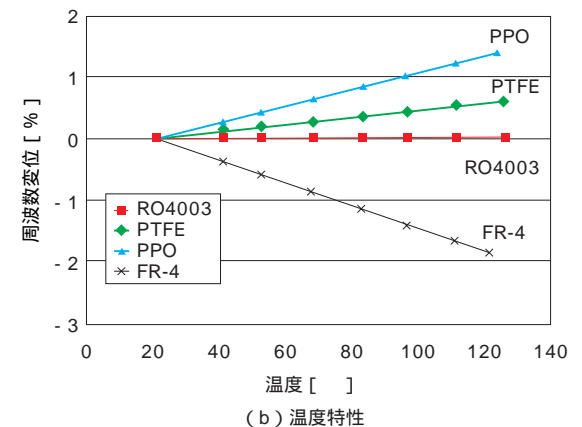
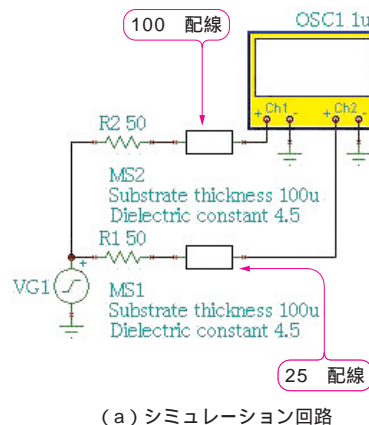
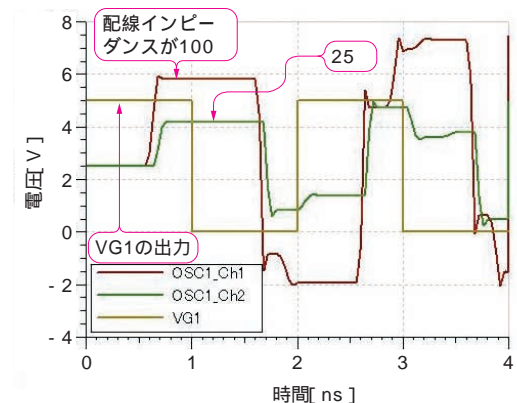



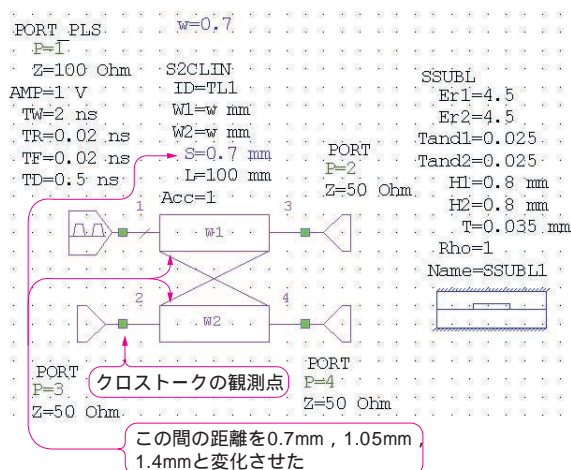
図4　インピーダンス不整合によるディジタル波形の乱れをシミュレーションする
25 Ωと100 Ωの配線パターンによる反射を観測した．

● パターンから信号線にノイズが混入する

配線パターンから信号線にノイズが混入する場合があります．シミュレーションした結果によると，ディジタル回路における配線パターンのクロストークは，配線幅の1倍，1.5倍，2倍の距離において，それぞれ3％，1.5％，1％と減少していきます．

図5(b) はシミュレーション時の伝送波形ですが，入力信号との差異はほとんど確認できません．通常は配線幅と同じくらいの間隔を空けておきます．安全を見込むのであれば，2倍程度の間隔をとれば十分でしょう．

A-Dコンバータなど，アナログ回路が混在する場合において，安全を確保するためには，配線パターンの間にグラウンド・パターンを挿入します．グラウンド・パターンには1/10波長間隔で短絡ビアを打ちます．ただし，これは正弦波の場合です．800MHz方形波の場合は1/10波長が37.5mmであり，10倍の高調波まで考えると3.75mm間隔以下で短絡ビアを打ちます．通常は0.1インチ(2.45mm)で十分です．

2 数百MHzの信号はロジック・アナライザやオシロで観測できない

数百MHzの信号をオシロスコープで観測するのは現実的ではありません．なぜなら，1pFの容量は，1GHzで160Ωのインピーダンスしか持ちません．通常のプローブは10pFの容量を持っているため，1GHzで16Ωのインピーダンスとなり，50Ω終端抵抗よりも低い値になってしまいます．このようなGHzの世界では，ハイ・インピーダンスを維持できないのです．従ってハイ・インピーダンスを基準とした電圧測定が意味を持ちません．その代わりに電圧と電流の積である電力を測定の基準としています．これがSパラメータとなります．Sパラメータについては，第5章で解説します．

● パッシブ・プローブを当てている？

皆さんはよくパッシブ・プローブを当てて高速信号を観測していると思いますが，TTL(Transister-Transister-Logic)の帯域(35MHz)以上は注意が必要です．プローブには測定できる帯域が指定されています．米国Tektronix社のプローブには，400MHz帯域のものもあります．

次にアース・リードがくせ者です．入力容量に流れた電流がアース・リードに流れ，アース電位を不確実なものにしてしまいます．高周波の測定の際には，アース・リードは使ってはいけません．スプリングでできた1cm程度のアース治具がプローブに付属しているので，これで測定します．**図6**にTektronix社のアース治具の例を示します．

● ロジック・アナライザが使えるのは100MHzまで

ロジック・アナライザのプローブも，基本的にはアナログ・オシロスコープと変わりありません．初めに測定可能な周波数を確認します．次にアース・リードの長さを確認します．波形品位はアナログ・オシロスコープほど厳しくなく，少々のリンギングも許されるため，少々長くても使えます．ただし，実際の波形を見ているわけではなく，ア

PORT PLS
P=1
Z=100 Ohm
AMP=1 V
TW=2 ns
TR=0.02 ns
TF=0.02 ns
TD=0.5 ns

w=0.7

S2CLIN
ID=TL1
W1=w mm
W2=w mm
S=0.7 mm
L=100 mm
Acc=1

PORT
P=2
Z=50 Ohm

SSUBL
Er1=4.5
Er2=4.5
Tand1=0.025
Tand2=0.025
H1=0.8 mm
H2=0.8 mm
T=0.035 mm
Rho=1
Name=SSUBL1

PORT
P=3
Z=50 Ohm

クロストークの観測点

PORT
P=4
Z=50 Ohm

この間の距離を0.7mm，1.05mm，1.4mmと変化させた

(a) シミュレーション回路

(b) 結果

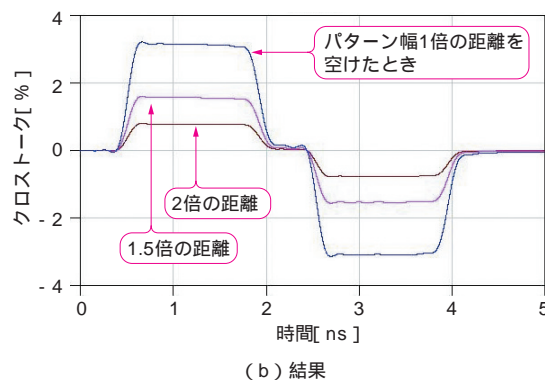



図5 配線パターンの距離とクロストークの関係をシミュレーションした結果

ディジタル回路における配線パターンのクロストークは，配線幅の1倍，1.5倍，2倍の距離において，それぞれ3％，1.5％，1％と減少していく．

ナログ波形をコンパレータによって矩形波に直して，‘1’と‘0’の波形に変換していることに注意が必要です．実用帯域は100MHz程度と考えておいたほうがよいでしょう．

もちろん，広帯域を考慮したロジック・アナライザでも，フルスピード検査はコストの面で省略している場合があります．100MHz以上のロジック・テスタは数億円もしますので，数十MHz帯の廉価版テスタでは，機能テストだけという場合があります．

● アクティブ・プローブの使い方と必要なオシロの帯域

100MHz以上の波形観測には，アクティブ・プローブを使用します．これは高周波FETでインピーダンス変換を行い，入力容量を減らしたものです．通常は入力容量1pF，入力インピーダンス1MΩ，周波数帯域1GHzの品種が使われます．入力容量0.5pF，入力インピーダンス20kΩ，周波数帯域6GHzを実現している品種もあります(Tektronix社のP7260型)．

アクティブ・プローブはインピーダンスが高く，入力電流が少ないため，アース・リードの影響が少なくてすみます．しかし，正確な波形観測にはアース・リードは使用しません．アース治具を使ってください．

以上のことから，実験用プリント基板の部品面は，グラウンド・プレーンで作成しておくと，自由にアースが取れて便利です．さらにレジストもかけず金めっきにしておくと，腐食も防げて一石二鳥です．また，オシロスコープの帯域はパルスの周波数帯域の2乗平均になるので，3倍の帯域を持っていれば約10％の誤差で測定できます．なお，パルスの立ち上がり時間と周波数の関係は図7で表されます．

パルス波形の全振幅の10％から90％までに要する時間を立ち上がり時間(t_R)といい，以下の式で表せる．

$t_R = RC(\log_e 0.9 - \log_e 0.1) = RC\log_e 9 \quad 2.2RC$

また3dB減衰点周波数 f は，$f = \dfrac{1}{2\pi RC}$ で表せる．

従って二つの式より，立ち上がり時間は以下の式で表せる．

$t_R[\mathrm{ns}] = \dfrac{350}{f[\mathrm{MHz}]}$

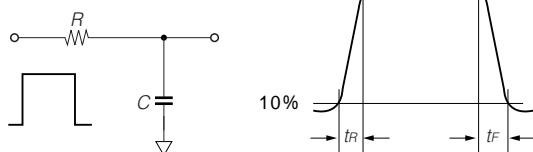



図7　パルスの立ち上がり時間と周波数帯域の関係

3 高速ロジックの周波数帯域は，最低でも3次高調波まで必要

1GHzのクロック信号を通すには，どの程度の周波数帯域が必要なのでしょうか．答えは3倍以上の周波数帯域であり，3GHz以上となります．

ディジタル信号はたくさんの正弦波の集合体です．正確には図8に示す奇数次高調波の奇数次分の1の正弦波の集合体です．理想的には無限の高調波が含まれればよいのですが，1GHzの信号を通すのに100GHz以上の帯域を持つ伝送線路が必要になってきます．適当な所で折り合いを付けなければなりません．

今，図9にディジタル波形の成り立ちを示します．基本波に3次高調波を加算すると，立ち上がりが急しゅんな波形になります．後は何次まで合成するかです．ここからは波形品位の問題となります．正確に言うと，波形の立ち上がりで周波数帯域が決まります．図7に計算式を示します．例えば，立ち上がり時間が10ns(TTL)の矩形波の周波数帯域は35MHzとなります．立ち上がり時間が1ns(ECL：

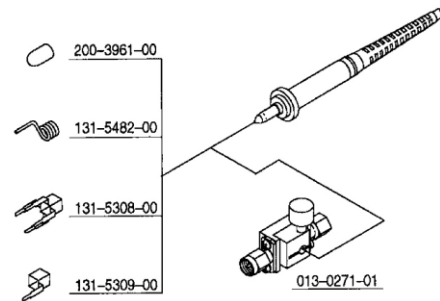



図6　アース治具の例
Tektronix社の製品を示す．高速高周波の測定の際には，アース・リードは使わない．

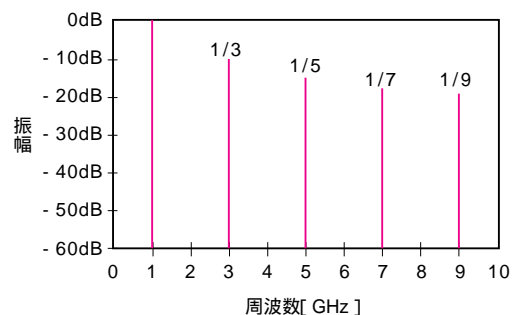



図8　矩形波のスペクトル
ディジタル信号は奇数次高調波の奇数次分の1の正弦波の集合体である．

Emitter Coupled Logic)の矩形波の周波数帯域は，350MHzとなります．立ち上がり時間が100psの矩形波の周波数帯域は，3.5GHzとなります．

4 プリント基板の材料で損失も変わる

高速ディジタル回路用のプリント基板は，GHz帯域の信号を通さなければなりません．通常のガラス・エポキシ(FR-4)は安価でよいのですが，1GHz以上の周波数帯域において誘電率が変化してしまいます(−0.1/GHz)．損失も多いので(tan δ　0.02)，注意が必要です．

三菱ガス化学のBTレジンや，米国ROGERS社(代理店はプリンテック)のRO4003材を使用できればよいのですが，コストが上昇してしまいます．

図10に誘電率の周波数特性を考慮した伝送線路のシミュレーション例を示します．伝送線路のインピーダンスがちょうど50Ωとなる所で反射が一番少なくなっています．さらに，最近のシミュレータは，パルスの反射波形やアイ・パターンのシミュレーション(**図11**)も可能です．プリント基板を作成する前に十分な検討ができます．

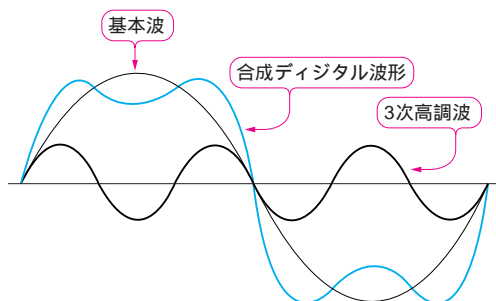



図9　ディジタル波形の成り立ち
基本波に3次高調波を加算すると，立ち上がりが急しゅんな波形になる．

5 インピーダンスが合っていないとリンギングが起こる

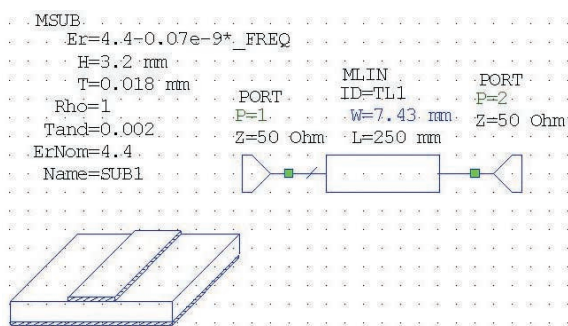
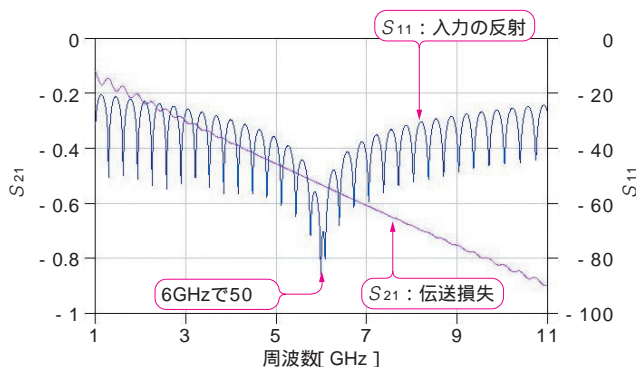
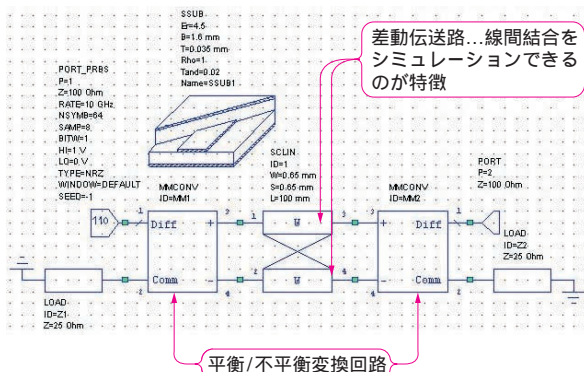
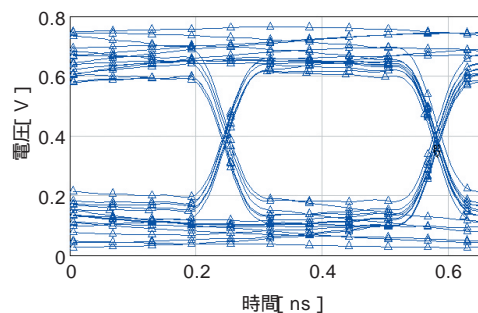
高周波信号は，インピーダンス管理された伝送線路でし

(a) シミュレーション回路

(b) 結果

図10　誘電率の周波数特性を考慮した伝送線路のシミュレーション例
6GHzで入力の反射が最小になるように設計した．

(a) シミュレーション回路

(b) 結果

図11　アイ・パターンのシミュレーション例
アイ・パターンをシミュレーションできることを示した．(a)の内容を深く理解する必要はない．

か，正確に伝送できません．太さが異なる配線パターンは，コンデンサやインダクタの特性を持ち（図12），それによって信号がフィルタリングされてしまい，信号を正確に伝送できません．

そこで，伝送線路のインピーダンスは，基本的に50Ω（平衡デバイスは100Ω）で設計することになります．また，GHz帯の信号の測定器も，50Ωの入力インピーダンスを持つ状態で接続することになっています．

● 送りと受けのインピーダンスを常に意識する

高周波信号は，終端することにより，反射をなくし原信号に忠実な波形を伝送できます．終端方法には以下の3種類があります（図13）．

図13（a）は*R*-*R*方式で，高周波測定時に使用されるものです．50Ω駆動の50Ω終端であれば，GHz帯域の信号伝送も可能ですが，ロジック素子相手ではそう簡単にはいきません．

図13（b）は0-*R*方式で，ECLなどの終端に使われます．直流電力を消費しないように2電源が必要です．単電源のCMOSロジックICでは使用できません．

図13（c）は*R*-∞方式で，バックマッチ終端ともいいます．この方式が高速CMOSロジックICの本命の終端方式となります．実際の回路でもダンピング抵抗という形で使われています．インピーダンスを厳密に管理した方式になります．これはCMOS出力に50Ωを挿入し，50Ωのインピーダンスを持つ伝送ラインを駆動します．そして，ハイ・インピーダンスのCMOS入力で反射してきた反射信号を，伝送ラインの50Ωで終端し，消費させればよいのです．

GHz信号伝送の基本は50Ωで伝送線路を駆動し，50Ωで終端することです．しかし，ディジタル回路では信号の電圧レベルが半分となってしまうので，この方法は使えません．従って，いろいろな終端法が古今東西生み出されてきました．図14中の，（a）直列終端，（b）並列終端，（c）テブナン終端，（d）RC終端などがこれに当たります．

この中で筆者のお勧めは（a）の直列終端です．これは実は50Ω終端法の中の一つの*R*-∞終端法で，バックマッチ終端法と呼ばれているものなのです．信号は50Ωで伝送線路に送り出されますが，伝送先がオープンなので反射して戻ってきます．それを信号源の50Ωで終端して信号伝送は完結するのです．

このとき，信号源抵抗と伝送回路のインピーダンスが

（a）オープン・スタブ　（b）ショート・スタブ　（c）カプラ

（d）ハイブリッド（ブランチ・ライン・カプラ）

（e）パワー・デバイダ，コンビナ（ウィルキンソン・カプラ）

（f）パラレル・カップルド・バンドパス・フィルタ

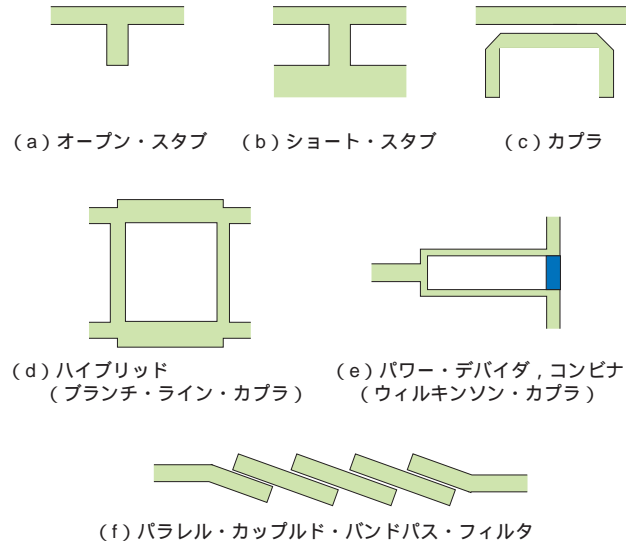



図12　配線パターンによる伝送線路
太さが異なる配線パターンは，コンデンサやインダクタの特性を持つ．

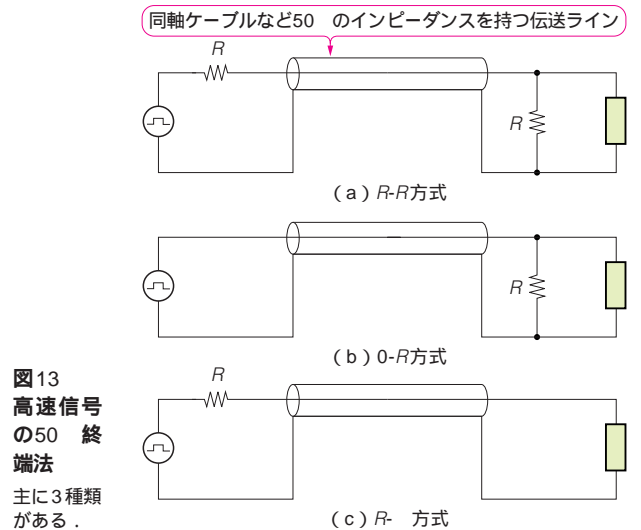



図13　高速信号の50Ω終端法
主に3種類がある．

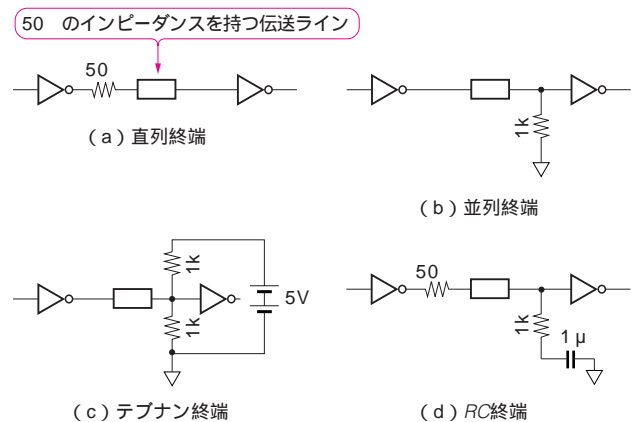
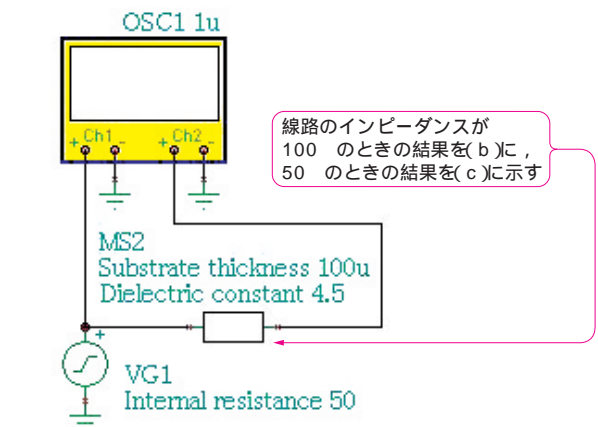
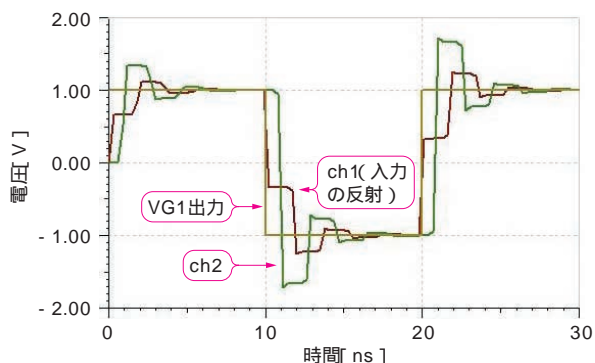



図14　ディジタル回路の終端方法
（a）は50Ω終端法の中の一つであるR-∞終端法．

合っていないと再度反射が起こり，信号が送り出されます．**図15**はこのようにしてリンギングが発生した波形を示します．**図15(c)**は正確にバックマッチされた回路でシミュレーションした結果で，リンギングはありません．

● 絶対にスタブを作らない

パターン設計において，スタブ(**図12**)が一番悪影響を与えます．500MHzのクロックの5倍の高調波(2.5GHz)まで減衰なく通過させるには，この3倍の周波数(7.5 GHz)までスタブが発生してはいけません．そのときのスタブの長さは10mmとなります．パターン分岐が10mm以内で設計しなければなりません．さらに，ICの数が増えると減衰が増えますから，基本的には分岐がゼロとなるような配線が必要です．リード部品の足やコネクタの足もスタブになります．つまり，高周波配線の極意はスタブがなくなるように配線することです．

(a) シミュレーション回路

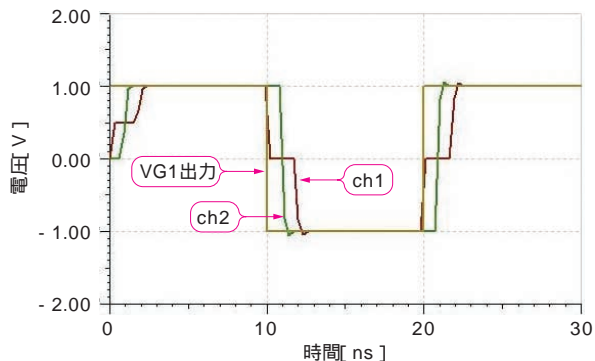
(b) 線路のインピーダンスが100Ωのとき

(c) 線路のインピーダンスが50Ωのとき

図15　インピーダンスの不整合によるリンギングをシミュレーションした結果
(c)は正確にバックマッチされた回路でシミュレーションした結果．

図16は，日経パソコンのWebページから引用した図です．記事[2]によれば，「DDR2までのDIMMはスタブと呼ばれる接続方式を採用している．チップ・セットからの信号線上に，1チャネル当たり2本のDIMMスロットを配置し，マザーボード上にターミネーション抵抗を置いて終端する．DIMM内部では1本の信号を各DRAMに均等に配線するT型配線を採用している．これに対しDDR3は，全く異なる配線方法が提案されている．動作周波数がDDR2の2倍に上がるため，スタブによって分岐すると，高速動作した場合に，信号波形に反射と呼ばれるノイズが現れ，エラーが発生する可能性がある．そこでDDR3では，分岐のないポイント･ツー･ポイントの配線方式を採用する見通しだ．」と解説しています．

スタブとは伝送線路の途中から分岐した配線部分を指します．スタブの長さが1/4λ(波長)の整数倍で伝送信号がゼロとなります．オープン・スタブとショート・スタブがあり，オープン・スタブでは1/4λの奇数倍，ショート・スタブでは1/4λの偶数倍で伝送信号がゼロとなります．インピーダンスを合わせて終端されたものはスタブではありません．

ロジックの分岐パターンはオープン・スタブと考えられます．オープン・スタブは1/4波長で信号がゼロになります．プルアップ抵抗の電源までのパターンが長い場合はショート・スタブとなります．ショート・スタブは1/2波長で信号がゼロになってしまいます．

スタブが存在すると信号が減衰してしまうので，減衰点の1/3以下の周波数までしか使えません．ガラス・エポキシ基板(波長短縮率$1/\sqrt{4.5}$)に3.5cmのオープン・スタブがあるとき，1GHzの信号はなくなってしまいます．各端子が終端されていればレベルは低くなりますが，周波数特性は平たんになります．

今，分岐パターンをインピーダンスを合わせて終端する

図16 (2)
DDR2メモリとDDR3メモリの配線の違い
日経パソコンのWebページから引用．

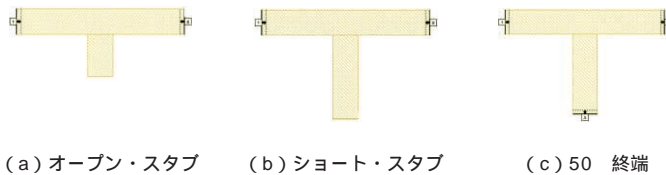
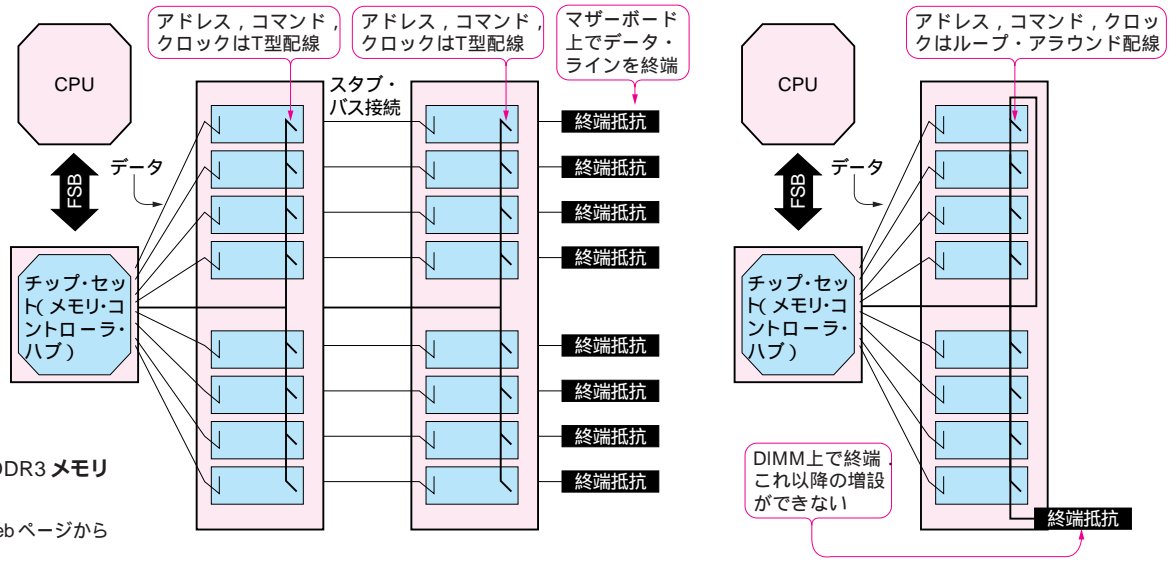
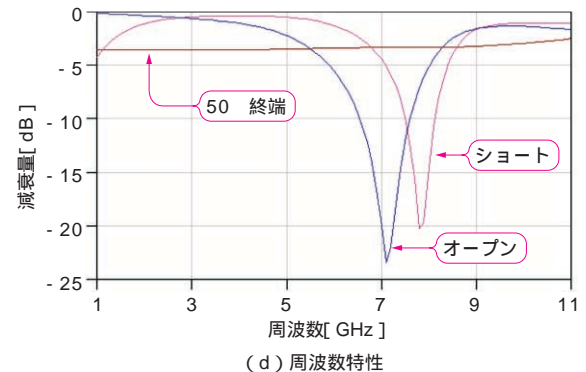



図17
配線パターンの種類と周波数特性
オープン・スタブ，ショート・スタブ，50Ω終端時のシミュレーション例．

と，レベルは変化しますが，周波数特性は平たんとなります．例えば2分岐を100Ωで終端すると，合成インピーダンスが50Ωとなるので，信号源の50Ωと整合します．このとき，分岐パターンのインピーダンスも100Ωで設計しなければなりません．4分岐ならば200Ωのパターンと200Ωの終端でよいわけです．

実際に200Ωのパターンは細すぎて引きにくいと思います．また，自由空間のインピーダンスが377Ωなので，これ以上は不可能です．図17にオープン・スタブ，ショート・スタブ，50Ω終端時のシミュレーション例を示します．

＊　＊　＊

配線パターン，測定テクニック，インピーダンスのマッチング，基本波と高調波など，耳慣れない言葉を前に，戸惑っている読者もいることでしょう．しかし，第2章以降で紹介する設計入門的な解説を読めば，「案外，GHzって難しくないんだな」，「ここに気を付けて設計すれば良いんだな」などと，理解していただけるでしょう．

参考・引用*文献

(1)* プローブ用アクセサリ，日本テクトロニクス．
(2)* DDR2より2倍も高速！姿を見せ始めた次世代規格「DDR3」，2007年1月15日，日経BP社．
http://pc.nikkeibp.co.jp/article/NPC/20061129/255237/？P=1
(3) NB7L11Mデータシート，ON Semiconductor.
http://www.onsemi.com/pub/Collateral/NB7L11M-D.PDF

つの・とおる
横河電機(株)

<筆者プロフィール>

津野 徹．1971年 東海大学通信工学科卒業，1976年まで 安藤電気計測技術部にて特注測定器の設計に従事．1981年までケンウッド測定事業部にてオシロスコープの設計に従事．1996年まで横河電機にてアナログ半導体テスタの高速高周波モジュールの設計に従事．1998年まで横河デザインエンジニアリングにて特注回路設計制作に従事．1999年以降，現職場にて技術部をサポート中．